

PAT-NO: JP02000277638A
DOCUMENT-IDENTIFIER: JP 2000277638 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
OF THE SAME
PUBN-DATE: October 6, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
TAMAOKI, YOICHI	N/A
WAKAHARA, YOSHIFUMI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP11078907

APPL-DATE: March 24, 1999

INT-CL (IPC): H01L021/8249, H01L027/06 , H01L021/8222 ,
H01L027/08
, H01L029/786

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a device constituted of thickness of the silicon layer of a bipolar part or a metal insulator semiconductor field effect transistor MISFET part of the thickness suitable for the device structure, and to provide a flat device structure having no difference in level in the boundary area, and a method for manufacturing the device.

SOLUTION: A silicon oxide film is formed on a substrate,

having a silicon layer 3 (SOI layer) in a thin-film thickness suitable for the formation of a fully depleted type MISFET, and then an opening 5 is formed. A sidewall 6 constituted of an insulator is formed on the sidewall of the opening 5, and then a single crystal silicon film 8 which is an epitaxial growth film is formed in the opening 5 by using a selective epitaxial growing method. Then, a CMP method is executed on the silicon oxide film on the silicon layer 3, the sidewall 6, and the single crystal silicon film 8 so that the silicon oxide film is removed and flattened. Afterwards, the MISFET is formed on the silicon layer 3, and a bipolar transistor is formed on the single crystal silicon film 8.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-277638

(P2000-277638A)

(43) 公開日 平成12年10月6日(2000.10.6)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L	21/8249	H 0 1 L	27/06
	27/06		3 2 1 A
	21/8222		27/08
	27/08		3 3 1 E
	29/786		27/06
			1 0 1 U
			29/78
			6 1 3 A

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平11-78907

(22) 出願日 平成11年3月24日(1999.3.24)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 玉置 洋一

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 若原 祥史

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

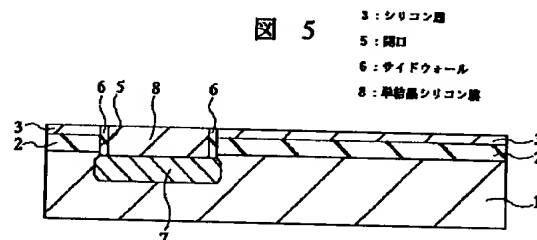
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 バイポーラ部分あるいはMISFET部分のシリコン層の厚さをそのデバイス構造に適した厚さで構成しつつ、その境界領域での段差のない平坦なデバイス構造および製造方法を提供する。

【解決手段】 完全空乏型MISFETの形成に適した薄い膜厚のシリコン層3(SOI層)を有する基板にシリコン酸化膜を形成し、続いて開口5を形成する。開口5の側壁に絶縁体からなるサイドウォール6を形成し、その後、選択エピタキシャル成長法を用いて開口5内にエピタキシャル成長膜である単結晶シリコン膜8を形成する。次に、シリコン層3上のシリコン酸化膜、サイドウォール6および単結晶シリコン膜8にCMP法を施し、シリコン酸化膜の除去および平坦化を行う。その後、シリコン層3にMISFETを形成し、さらに単結晶シリコン膜8にバイポーラトランジスタを形成する。

図 5



【特許請求の範囲】

【請求項1】 (a) 支持基板上に第1絶縁層および第1シリコン層を有するSOI基板上に第2絶縁層を堆積する工程、

(b) 前記SOI基板の第1領域にエッチングを施し、前記第2絶縁層、第1シリコン層および第1絶縁層を選択的に除去し、前記第1領域の前記支持基板を露出する開口を形成する工程、

(c) 前記SOI基板にエピタキシャル成長法を施し、前記開口底部のシリコン表面に第2シリコン層を選択的に形成する工程、

(d) 前記第2絶縁層を除去する工程、

(e) 前記第1および第2シリコン層に分離領域を形成し、前記第1シリコン層にMISFETを、前記第2シリコン層にバイポーラトランジスタを形成する工程、を有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法であって、

前記(c)工程の前に、前記開口の側壁に絶縁体からなるサイドウォールを形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法であって、

前記(c)工程において前記第2シリコン層表面の標高を、前記第2絶縁層表面の標高よりも高くし、前記

(d)工程において前記第2絶縁層の除去をCMP法を用いて行うとともに前記第2シリコン層の一部を研磨し、前記第1および第2シリコン層の表面を平坦化することを特徴とする半導体装置の製造方法。

【請求項4】 同一基板上にバイポーラトランジスタと、MISFETとが形成された半導体装置であって、前記基板はその表面に、単結晶シリコンからなる支持基板上に第1絶縁層を介して形成された第1シリコン層と、前記支持基板上に絶縁層を介することなくエピタキシャル成長された第2シリコン層とを有し、前記第1および第2シリコン層の表面が平坦化され、前記MISFETは前記第1シリコン層に形成され、前記バイポーラトランジスタは前記第2シリコン層に形成されていることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置であって、前記第1絶縁層および第1シリコン層と前記第2シリコン層との境界領域には絶縁体からなるスペーサが形成されていることを特徴とする半導体装置。

【請求項6】 請求項4または5記載の半導体装置であって、

前記第1シリコン層の厚さが $0.4\mu\text{m}$ 以下であり、前記第2シリコン層の厚さが $0.8\mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置であって、前記第1シリコン層の厚さが $0.2\mu\text{m}$ 以下であり、前記

第1シリコン層に形成された分離領域の底部が前記第1シリコン層下部の前記第1絶縁層に達している第1の構成、

前記第1シリコン層の厚さが $0.1\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下であり、前記第1シリコン層に形成された分離領域の底部が前記第1シリコン層下部の前記第1絶縁層に達していない第2の構成、

の何れかの構成を有することを特徴とする半導体装置。

【請求項8】 請求項4～7の何れか一項に記載の半導体装置であって、

前記支持基板上に絶縁層を介することなく、前記第2シリコン層と同時にエピタキシャル成長される第3シリコン層をさらに有し、前記第3シリコン層には前記支持基板と同一導電型の不純物が導入されている第1の構成、前記支持基板上に絶縁層を介することなく、前記第2シリコン層と同時にエピタキシャル成長される第4シリコン層と、前記第4シリコン層に電気的に接続され、前記第1絶縁層下部の前記支持基板に形成されたMISFETのバックゲート用の半導体領域とをさらに有し、前記第4シリコン層には前記半導体領域と同一導電型の不純物が導入されている第2の構成、

の何れかの構成を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、縦型バイポーラトランジスタと完全空乏型SOI・MISFETとを同一基板に形成した半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年発展の著しい高速通信分野で適用される半導体装置では、高集積化の要求に加え、高速化、低消費電力化の要求が強い。高速性能を満たし得るデバイス構造として縦型バイポーラトランジスタ構造が知られ、低消費電力性能を満たし得るデバイス構造としてC-MISFET (Complementary-Metal Insulator Semiconductor Field Effect Transistor) 構造が知られている。また、MISFETは、SOI (Silicon On Insulator) 基板に形成することにより基板容量を低減し、高性能化を図ることが知られている。そこで、バイポーラトランジスタとC-MISFETとを同一SOI基板上に形成するBi-CMOSデバイスが考えられている。このようなBi-CMOSデバイスは、バイポーラトランジスタの高速性とC-MISFETの低消費電力性とを兼ね備え、さらに α 線によるソフトエラーにも強いという特徴を有することから、前記高速通信分野でのニーズを満たし得る半導体装置として大きな期待が寄せられている。

【0003】たとえば、T. kikuchi et al., A $0.35\mu\text{m}$ ECL-CMOS Process Technology on SOI for 1ns Mega-bi

ts SRAMs with 40ps Gate Array, IEDM Technical Digest, pp. 923-926, 1995. には、SOI基板に形成されたBi-CMOSデバイスが記載されている。このBi-CMOSデバイスでは、高速の縦型バイポーラトランジスタとMISFETとが単一のSOI層に形成され、SOI層は約1.5 μ mの膜厚で形成されている。

【0004】

【発明が解決しようとする課題】しかし、縦型バイポーラトランジスタとC-MISFETとを同一のSOI層に形成しようとした場合、各々のデバイス構成で要求されるSOI層の最適膜厚が相違するという問題がある。

【0005】すなわち、縦型バイポーラトランジスタをSOI層に形成しようとする場合には、エミッタ、ベースおよびコレクタをSOI層の縦方向に形成する必要がある。各々の半導体領域を形成するスペースを確保する必要がある。このため、縦型バイポーラトランジスタの構造からは、SOI層の膜厚を1 μ mから2 μ m、たとえば1.5 μ mにしたいという要請がある。

【0006】一方、MISFETをSOI層上に形成する場合、MISFETの高性能化を考慮すればMISFETを部分空乏型または完全空乏型で構成することが好ましい。その時SOI層の膜厚を部分空乏型では4 μ m以下、完全空乏型では0.1 μ m以下とする必要がある。

【0007】前記文献に記載のBi-CMOSデバイスではSOI層膜厚をバイポーラトランジスタ構造から要請される膜厚に揃えており、MISFETのチャネル領域は完全空乏化されてはいない。このため、MISFETの特性は、アイソレーション特性を除けばバルクMISFETと比較した大きな向上は見られず、SOI-MISFET構造とするメリットが減殺されていることとなる。

【0008】このため、バイポーラトランジスタとMISFETとの両特性を最適化するためには両デバイスが形成されるSOI層膜をデバイス構造に合わせて最適化する必要がある。すなわち、バイポーラ部分のSOI膜厚は厚く（たとえば0.8 μ m以上）する一方、MISFET部分のSOI膜厚は薄く（たとえば0.4 μ m以下）形成する必要がある。

【0009】ところが、このように基板領域によってSOI膜厚を異なせると、その境界部分で大きな段差が発生し、フォトリソグラフィ等LSI製造工程が困難となり、結果として高集積化が困難になるという不都合が生じる。

【0010】本発明の目的は、バイポーラ部分あるいはMISFET部分のシリコン層の厚さをそのデバイス構造に適した厚さで構成しつつ、その境界領域での段差のない平坦なデバイス構造および製造方法を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】すなわち、本発明の半導体装置は、SOI層膜厚を部分空乏型または完全空乏型MISFETに要求される膜厚（たとえば0.4 μ m以下）に合わせて薄くするものである。バイポーラ部はSOI層下部の酸化膜をエッチングして開口部を形成し、その下部のシリコン基板にコレクタ埋め込み層を形成した後、その上層に能動層となるシリコン層をエピタキシャル成長させてバイポーラトランジスタに必要な膜厚を確保するものである。

【0014】また、前記開口部には絶縁膜からなるサイドウォールを形成する。このサイドウォールの存在により、エピタキシャル成長させるシリコン層の結晶性を良好にできる。また、エピタキシャル成長させるシリコン層は、開口部を形成した基板の表面よりも厚く形成し、その後CMP法により研磨して平坦化できる。

【0015】なお、本発明を項に分けて説明すれば以下の通りである。

【0016】1. 本発明の半導体装置の製造方法は、

(a) 支持基板上に第1絶縁層および第1シリコン層を有するSOI基板上に第2絶縁層を堆積する工程、

(b) SOI基板の第1領域にエッチングを施し、第2絶縁層、第1シリコン層および第1絶縁層を選択的に除去し、第1領域の支持基板を露出する開口を形成する工程、(c) SOI基板にエピタキシャル成長法を施し、開口底部のシリコン表面に第2シリコン層を選択的に形成する工程、(d) 第2絶縁層を除去する工程、(e) 第1および第2シリコン層に分離領域を形成し、第1シリコン層にMISFETを、第2シリコン層にバイポーラトランジスタを形成する工程、を有する。

【0017】2. 項1記載の半導体装置の製造方法であって、(c)工程の前に、開口の側壁に絶縁体からなるサイドウォールを形成する工程を有する。

【0018】3. 項1または2記載の半導体装置の製造方法であって、(c)工程において第2シリコン層表面の標高を、第2絶縁層表面の標高よりも高くし、(d)工程において第2絶縁層の除去をCMP法を用いて行うとともに第2シリコン層の一部を研磨し、第1および第2シリコン層の表面を平坦化する。

【0019】4. 本発明の半導体装置は、同一基板上にバイポーラトランジスタと、MISFETとが形成された半導体装置であって、基板はその表面に、単結晶シリコンからなる支持基板上に第1絶縁層を介して形成された第1シリコン層と、支持基板上に絶縁層を介することなくエピタキシャル成長された第2シリコン層とを有し、第1および第2シリコン層の表面が平坦化され、M

ISFETは第1シリコン層に形成され、バイポーラトランジスタは第2シリコン層に形成されている。

【0020】5. 項4記載の半導体装置であって、第1絶縁層および第1シリコン層と第2シリコン層との境界領域には絶縁体からなるスペーサが形成されている。

【0021】6. 項4または5記載の半導体装置であって、第1シリコン層の厚さが $0.4\mu\text{m}$ 以下であり、第2シリコン層の厚さが $0.8\mu\text{m}$ 以上である。

【0022】7. 項6記載の半導体装置であって、第1シリコン層の厚さが $0.2\mu\text{m}$ 以下であり、第1シリコン層に形成された分離領域の底部が第1シリコン層下部の第1絶縁層に達している第1の構成、第1シリコン層の厚さが $0.1\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下であり、第1シリコン層に形成された分離領域の底部が第1シリコン層下部の第1絶縁層に達していない第2の構成、の何れかの構成を有する。

【0023】8. 項4～7の何れか一項に記載の半導体装置であって、支持基板上に絶縁層を介することなく、第2シリコン層と同時にエピタキシャル成長される第3シリコン層をさらに有し、第3シリコン層には支持基板と同一導電型の不純物が導入されている第1の構成、支持基板上に絶縁層を介することなく、第2シリコン層と同時にエピタキシャル成長される第4シリコン層と、第4シリコン層に電気的に接続され、第1絶縁層下部の支持基板に形成されたMISFETのバックゲート用の半導体領域とをさらに有し、第4シリコン層には半導体領域と同一導電型の不純物が導入されている第2の構成、の何れかの構成を有する。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0025】(実施の形態1) 図1～図8は、実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【0026】まず、支持基板1上に埋め込み酸化膜2および薄膜のシリコン層3(SOI層)を有するSOI基板を用意する。SOI基板は、たとえばSIMOX(separation by implanted oxygen)等により形成できる。支持基板1は、たとえばp型不純物が導入された単結晶シリコンとすることができ、埋め込み酸化膜2の膜厚は、 $0.1\mu\text{m}$ ～ $0.5\mu\text{m}$ とすることができる。シリコン層3の膜厚は、 $0.03\sim 0.2\mu\text{m}$ 、たとえば $0.06\mu\text{m}$ とする。このようにシリコン層3の膜厚を薄くすることにより、完全空乏型のMISFETが形成できる。

【0027】次に、図1に示すように、シリコン層3上に絶縁膜4を形成する。絶縁膜4は、たとえばシリコン酸化膜とするが、シリコン窒化膜等の絶縁膜でもよい。絶縁膜4は、後に説明する単結晶シリコン膜のエピ

タキシャル成長の際の成長阻害層として機能する。

【0028】次に、図2に示すように、バイポーラ部(バイポーラトランジスタが形成される領域)の絶縁膜4、シリコン層3および埋め込み酸化膜2を選択的にエッチングして開口5を形成する。このように開口5を形成することにより、開口5の底部に支持基板1表面を露出し、後に説明するように単結晶シリコン膜のエピタキシャル成長を可能にできる。また、開口5の深さは、埋め込み酸化膜2の底部よりも深いため、エピタキシャル成長される単結晶シリコン膜の膜厚はシリコン層3よりも十分に厚く、縦型バイポーラトランジスタを形成するのに十分な膜厚とすることができる。なお、前記選択エッチングはフォトリソグラフィと異方性エッチングの技術を用いて行うことができる。

【0029】次に、SOI基板の全面に絶縁膜(図示せず)を堆積する。この絶縁膜は、開口5の内壁を覆うように堆積する。絶縁膜は、たとえばシリコン酸化膜とするが、シリコン窒化膜等の絶縁膜でもよい。ただし、後に説明するCMP法を用いた研磨において、研磨速度を均一にする観点から、絶縁膜は、前記絶縁膜4と同一の材料にすることが好ましい。

【0030】次に、図3に示すように、この絶縁膜に異方性エッチングを施し、開口5の側壁にサイドウォール6を形成する。このように、絶縁膜からなるサイドウォール6を形成するため、後に説明する単結晶シリコン膜8のエピタキシャル成長の際、開口5の側壁部分からのシリコン結晶の核発生を抑制できる。つまり、仮にサイドウォール6が存在しない場合、エピタキシャル成長してきた単結晶シリコン膜(エピタキシャル膜)がシリコン層3の側壁に達した段階で、シリコン層3側壁からの核発生によりエピタキシャル膜の結晶性が劣化する可能性が大きい。しかし、サイドウォール6が存在する本実施の形態では、開口5の側壁がシリコン結晶の成長核とはならず、エピタキシャル成長面のみが結晶核となり成長面の結晶性を反映して整然と単結晶シリコン膜8が形成されることとなる。これにより単結晶シリコン膜8の結晶性が良好に保たれる。

【0031】次に、図4に示すように、たとえばイオン注入法によりn型の不純物を導入し、その後熱処理を行って、開口5底部の支持基板1にn型の半導体領域7を形成する。半導体領域7は、バイポーラトランジスタのコレクタ埋め込み層として機能する。

【0032】次に、半導体領域7表面の酸化膜を除去して、単結晶シリコン表面を露出させた後、エピタキシャル成長法を用いて単結晶シリコン膜8を形成する。開口5底部の半導体領域7(支持基板1)以外の領域は絶縁膜4およびサイドウォール6で覆われているため、この領域にエピタキシャル膜は成長せず、開口5の内部のみ選択的にエピタキシャル膜(単結晶シリコン膜8)が成長する。このような選択成長は、ソースガスであるシ

ラン系ガスに塩素系ガスを添加することにより実現できる。

【0033】この単結晶シリコン膜8は、絶縁膜4の表面よりも若干高くなるように形成する。このように単結晶シリコン膜8の表面を若干高く形成するのは、エピタキシャル膜の表面は完全には平らにならないためCMP法により平坦化することが好ましいこと、単結晶シリコン膜8とサイドウォール6との境界部には図示するようなファセット8aが形成されるため単結晶シリコン膜8を高く形成してこれをCMP法により研磨すればファセットが除去できること、等の理由による。

【0034】このように開口5にエピタキシャル膜を形成するため、単結晶シリコン膜8の膜厚を十分厚くすることができ、単結晶シリコン膜8に高性能な縦型バイポーラトランジスタを形成することができる。

【0035】なお、バイポーラトランジスタの一般的な形成工程においてもエピタキシャル成長法が使用されるため、本実施の形態のように開口5にエピタキシャル膜を形成しても従来技術と比較して工程増加が生じるわけではない。

【0036】次に、CMP法とウェットエッチング法を用いて絶縁膜4、サイドウォール6および単結晶シリコン膜8を研磨する。この研磨により、図5に示すように、絶縁膜4の全部、サイドウォール6および単結晶シリコン膜8の一部を除去し、単結晶シリコン膜8およびシリコン層3の表面の平坦化を行う。

【0037】単結晶シリコン膜8およびシリコン層3の表面は、図示するようにほぼ同一平面に形成され、その境界部には段差が形成されない。これにより、段差に起因する製造工程、特にフォトリソグラフィ工程上の困難性を取り除き、製造工程を容易にすることができる。また、前記の通り単結晶シリコン膜8は開口5の内部に厚く形成されるため、縦型バイポーラトランジスタを形成するに十分な膜厚が確保され、一方、MISFETが形成されるシリコン層3の膜厚は完全空乏型を実現するに十分な薄い膜厚で形成できる。

【0038】なお、エピタキシャル成長が良好に実施でき、単結晶シリコン膜8表面の結晶性、平坦性が十分良好に確保できる場合、あるいは単結晶シリコン膜8とシリコン層3との間に若干の段差が存在しても許容できる場合には、特にCMP法を用いる必要はない。

【0039】次に、図6に示すように、MISFETが形成される領域に分離領域9、バイポーラトランジスタが形成される領域に分離領域10を形成する。分離領域9、10の形成は、単結晶シリコン膜8の表面部とシリコン層3に、フォトリソグラフィおよび異方性エッチングの技術を用いて溝を形成し、この溝を埋め込む絶縁膜、たとえばシリコン酸化膜を堆積した後、溝内以外の絶縁膜をCMP法あるいはエッチバック法を用いて除去することにより形成する。

【0040】前記溝は、単結晶シリコン膜8およびシリコン層3の双方で同時に形成される。シリコン層3の溝は埋め込み酸化膜2に達した時点でエッチングがストップするが、単結晶シリコン膜8はシリコン層3より厚く形成されているため単結晶シリコン膜8の溝はシリコン層3の溝よりも深く形成される。従って、単結晶シリコン膜8に形成される分離領域10の底部は、シリコン層3に形成される分離領域9の底部よりも低く形成される。

10 【0041】次に、図7に示すように、単結晶シリコン膜8にコレクタ接続用拡散層12を形成し、シリコン層3にMISFETを形成する。コレクタ接続用拡散層12は、単結晶シリコン膜8の表面にシリコン酸化膜11を形成した後、フォトレジスト膜をマスクとしてp型の不純物をイオン打ち込みすることにより形成する。MISFETは、以下のように形成する。

【0042】すなわち、まず、n型不純物とp型不純物を各々所定の領域にフォトレジスト膜をマスクとしてイオン打ち込みすることにより、p型MISFETのチャネル領域21とn型MISFETのチャネル領域22とを形成する。次に、シリコン層3上のシリコン酸化膜11を除去し、たとえばシリコン酸化膜からなるゲート絶縁膜13をたとえば熱酸化法により形成する。次に、たとえば不純物が導入された多結晶シリコン膜を形成し、これをフォトリソグラフィおよびエッチング技術を用いてパターンニングすることにより、p型MISFETのゲート電極14およびn型MISFETのゲート電極15を形成する。この際、p型MISFETのゲート電極14およびn型MISFETのゲート電極15に導入される不純物の導電型を各々のMISFETの導電型に対応させるいわゆるデュアルゲート構造を採用することができる。次に、たとえばシリコン酸化膜等絶縁膜を堆積し、これを異方性エッチングすることによりゲート電極14、15の側壁にサイドウォール16を形成する。次に、フォトレジスト膜をマスクとして所定の領域にイオン注入を施し、p型MISFETのソース拡散層17およびドレイン拡散層18、n型MISFETのソース拡散層19およびドレイン拡散層20を形成する。このようにしてシリコン層3にn型およびp型のMISFETが形成される。

【0043】次に、図8に示すように、単結晶シリコン膜8に縦型バイポーラトランジスタを形成する。縦型バイポーラトランジスタの形成は以下のように行う。

【0044】まず、ベースおよびエミッタ形成領域上のシリコン酸化膜11を除去した後、CVD法を用いてアモルファスシリコン膜を堆積し、たとえばボロンをイオン注入法により注入する。次に、たとえば熱処理等により、アモルファスシリコン膜を結晶化し多結晶シリコン膜を形成する。さらに、多結晶シリコン膜上にシリコン酸化膜をたとえばCVD法により堆積する。

【0045】次に、フォトレジスト膜をマスクとして前記シリコン酸化膜および多結晶シリコン膜を順次エッチング処理しパターンニングする。これにより、ベース引き出し用の多結晶シリコン膜23およびシリコン酸化膜37を形成する。その後、ベース引き出し用の多結晶シリコン膜23およびフォトレジスト膜をイオン打ち込みマスクとして、例えばp形不純物のボロンをイオン注入する。なお、このイオン注入されたボロンは後の熱処理により拡散して真性ベース領域となり、ベース引き出し用の多結晶シリコン膜23からも熱処理によりボロン（不純物）が拡散して真性ベース領域周辺のベース引き出し領域となる。真性ベース領域と周辺のベース引き出し領域とでベース拡散層24を構成する。

【0046】次に、たとえばシリコン酸化膜を堆積し、このシリコン酸化膜を異方性エッチングしてベース引き出し用の多結晶シリコン膜13の側面にサイドウォールスペーサ25を形成する。その後、n形不純物例えばリンを含有する低抵抗多結晶シリコン膜をCVD法等によって堆積した後、フォトレジストをエッチングマスクとして、低抵抗多結晶シリコン膜をパターンニングすることにより、エミッタ電極用の多結晶シリコン膜26を形成する。この際シリコン酸化膜37も同時にエッチングしてベース引き出し用の多結晶シリコン膜13表面を露出する。

【0047】次に、全面にチタン等の金属膜を堆積し、これを熱処理してチタンとシリコンとが接触している領域でシリサイド反応を起こさせ、未反応のチタン膜をエッチング除去してチタンシリサイド膜28を形成する。

【0048】その後、パッシベーション用のたとえばシリコン酸化膜からなる絶縁膜29を堆積し、これをたとえばCMP法により平坦化する。さらに、フォトレジスト膜をマスクとして絶縁膜29にコンタクトホールを形成し、このコンタクトホールを埋め込む金属膜を堆積後、これをパターンニングして電極を形成する。電極30はベース電極であり、電極31はエミッタ電極であり、電極32はコレクタ電極である。また、電極33はp型MISFETのソース電極であり、電極34はp型MISFETのドレイン電極であり、電極35はn型MISFETのソース電極であり、電極36はn型MISFETのドレイン電極である。

【0049】このようにして本実施の形態の半導体装置がほぼ完成する。

【0050】本実施の形態の半導体装置によれば、バイポーラトランジスタ部のシリコン層の膜厚を厚くし、MISFET部のシリコン層の膜厚を薄くして、かつ、基板を平坦化して、半導体装置の高集積化を容易にできる。

【0051】また、サイドウォール6を形成するため、単結晶シリコン膜8の結晶性を向上してバイポーラトランジスタの性能を良好に維持向上できる。

【0052】また、バイポーラ部の下部にSOI層を有しないため、バイポーラ部の放熱特性を良好にできる。これは、今後ますますバイポーラトランジスタの高集積化に伴って発生する放熱の問題を回避でき、高集積化された半導体装置に顕著な効果を示す。

【0053】（実施の形態2）図9～図11は、実施の形態2の半導体装置の製造方法の一例を工程順に示した断面図である。

【0054】本実施の形態の半導体装置は、実施の形態1の半導体装置と、そのバイポーラトランジスタの部分の素子分離構造において相違する。その他の部分は実施の形態1と同様であるため説明を省略し、相違する部分についてのみ説明する。

【0055】本実施の形態の半導体装置の製造方法は、実施の形態1における図6までの工程と同様である。

【0056】実施の形態1の図6に示す分離領域9、10を形成後、図9に示すように、バイポーラトランジスタが形成される領域に素子分離用の溝52を形成する。溝52は、フォトレジスト膜をマスクとして異方性エッチングを施すことにより形成できる。溝52は、コレクタ埋め込み層7よりも深く形成する。

【0057】次に、シリコン層表面を薄く（たとえば5～10nm）酸化した後、たとえばボロンをイオン注入して、p型のチャネルストップ層53を形成する。

【0058】次に、図10に示すように、全面に溝52を埋め込む絶縁膜、たとえばシリコン酸化膜を形成後、溝52以外の絶縁膜を除去して溝52内に分離領域54を形成する。

【0059】その後、実施の形態1と同様にMISFETおよび縦型バイポーラトランジスタを形成する（図11）。

【0060】本実施の形態の半導体装置によれば、バイポーラ部の素子絶縁を良好にして、バイポーラ部の集積度を向上できる。

【0061】なお、本実施の形態の場合のシリコン層3の膜厚は0.4μm以下とすることが好ましい。0.4μm以下であれば、α線の吸収効率を低減し、ソフトエラーの確率を低減できる効果がある。

【0062】（実施の形態3）図12は、実施の形態3の半導体装置を示した断面図である。本実施の形態の半導体装置は、SOI層（シリコン層3）の膜厚を実施の形態1よりも厚くし、MISFETに部分空乏型のSOIトランジスタを用いたものである。

【0063】図示するように分離領域下部にもシリコン層3を残しておく。このような構成とすることにより、分離領域下部のシリコン層3を介してチャネル領域に蓄積した電荷を排除できる。これにより半導体装置のMISFETの性能を安定に維持できる。

【0064】また、シリコン層3の膜厚を厚くした関係で、バイポーラ部の単結晶シリコン膜8も膜厚も厚くな

る。このため、埋め込み層7を浅く形成し、イオン注入等により、補助コレクタ層46を形成することができる。補助コレクタ層46によりバイポーラトランジスタの性能の維持向上を図れる。

【0065】(実施の形態4)図13は、実施の形態4の半導体装置を示した断面図である。本実施の形態の半導体装置は、エピタキシャル成長される単結晶シリコン膜8と同時に形成されるシリコン層47を形成したものである。シリコン層47は、基板の導電型と同じ不純物を導入して、基板電位に電位を与えるための導電部材として作用させることができる。シリコン層47に接続される電極48を他の電極30~36と同様に形成し、電極48に電位を与えて基板に電位を付与できる。これにより半導体装置の性能向上を図れる。

【0066】(実施の形態5)図14は、実施の形態5の半導体装置を示した断面図である。本実施の形態の半導体装置は、実施の形態4のように、基板電位に電位を与えるだけでなく、MISFETのバックバイアスを与える拡散層50を有するものである。拡散層50には、基板とは逆導電型の不純物を導入でき、基板がp型である場合には、たとえばn型不純物のリン、ヒ素等を高エネルギーのイオン注入法により注入し、形成できる。拡散層50は埋め込み酸化膜2の直下に形成する。また、拡散層50に接するシリコン層49を、実施の形態1の単結晶シリコン膜8あるいは実施の形態4のシリコン層47と同様に形成し、拡散層50と同一導電型の不純物を導入して、拡散層50に電氣的に接続するための接続部材として作用させることができる。シリコン層49に接続される電極51を他の電極30~36と同様に形成し、電極51に電位を与えてバックゲートバイアスを付与できる。これにより半導体装置の性能向上を図れる。特に、MISFETを完全空乏型で構成した場合には素子特性をMISFETの構造のみで制御することの困難性が高まるが、本実施の形態の場合はバックゲートとして作用する拡散層50によりバックバイアスを与えることができるので、MISFETの特性制御が容易となり、その効果を顕著に得ることができる。

【0067】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0068】たとえば、バイポーラトランジスタはnpn型に代えてpnp型とすることができる。この場合、基板や拡散層の導電型を適当の選択できることはいうまでもない。

【0069】また、上記実施の形態では、MISFETの形成後にバイポーラトランジスタを形成したが、バイポーラトランジスタを形成後にMISFETを形成してもよい。いずれのトランジスタ素子を後に形成するか

は、いずれの素子特性を重視するかにより選択できる。一般に、後に形成する方の素子特性が良好に形成できる。

【0070】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0071】すなわち、本発明のよれば、バイポーラ部分あるいはMISFET部分のシリコン層の厚さをそのデバイス構造に適した厚さで構成しつつ、その境界領域での段差のない平坦なデバイス構造および製造方法を提供することができる。

【図面の簡単な説明】

【図1】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図2】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図3】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図4】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図5】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図6】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図7】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図8】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図9】実施の形態2の半導体装置の製造方法の一例を工程順に示した断面図である。

【図10】実施の形態2の半導体装置の製造方法の一例を工程順に示した断面図である。

【図11】実施の形態2の半導体装置の製造方法の一例を工程順に示した断面図である。

【図12】実施の形態3の半導体装置を示した断面図である。

【図13】実施の形態4の半導体装置を示した断面図である。

【図14】実施の形態5の半導体装置を示した断面図である。

【符号の説明】

- 1 支持基板
- 2 埋め込み酸化膜
- 3 シリコン層
- 4 絶縁膜
- 5 開口
- 6 サイドウォール
- 7 半導体領域
- 8 単結晶シリコン膜

(8)

特開2000-277638

13

14

- 8a ファセット
- 9 分離領域
- 10 分離領域
- 11 シリコン酸化膜
- 12 コレクタ接続用拡散層
- 13 ゲート絶縁膜
- 14 ゲート電極
- 15 ゲート電極
- 16 サイドウォール
- 17 ソース拡散層
- 18 ドレイン拡散層
- 19 ソース拡散層
- 20 ドレイン拡散層
- 21 チャネル領域
- 22 チャネル領域
- 23 多結晶シリコン膜

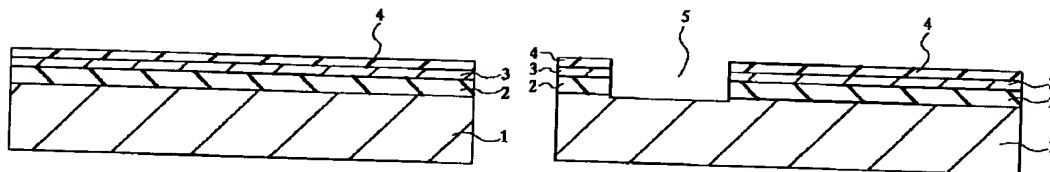
- 24 ベース拡散層
- 25 サイドウォールスペーサ
- 26 多結晶シリコン膜
- 28 チタンシリサイド膜
- 29 絶縁膜
- 30~36 電極
- 37 シリコン酸化膜
- 46 補助コレクタ層
- 47 シリコン層
- 48 電極
- 49 シリコン層
- 50 拡散層
- 51 電極
- 52 溝
- 53 チャネルストップ層
- 54 分離領域

【図1】

【図2】

図 1

図 2

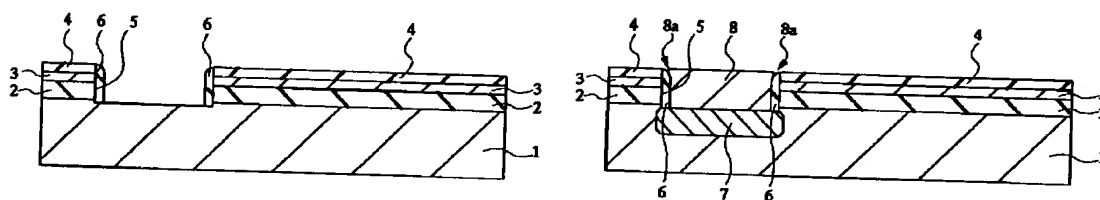


【図3】

【図4】

図 3

図 4

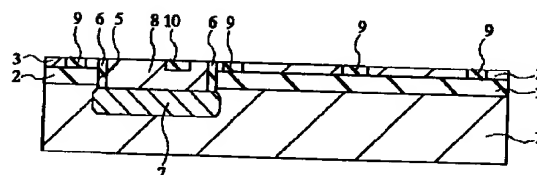
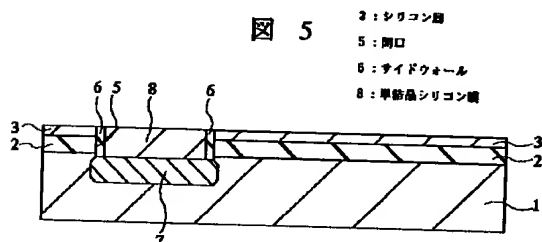


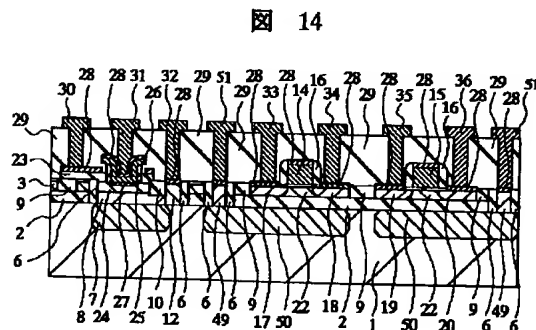
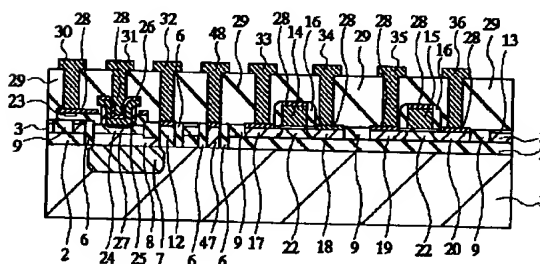
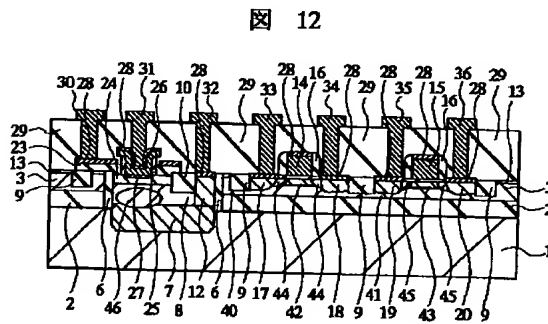
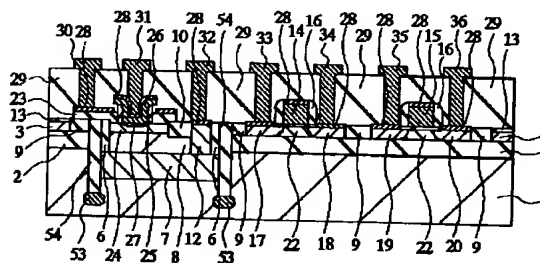
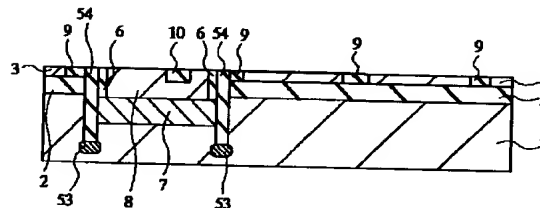
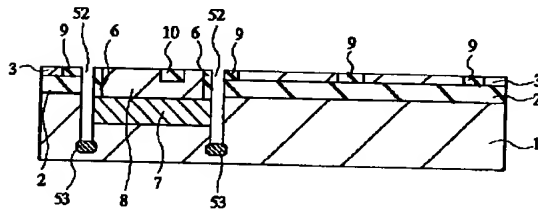
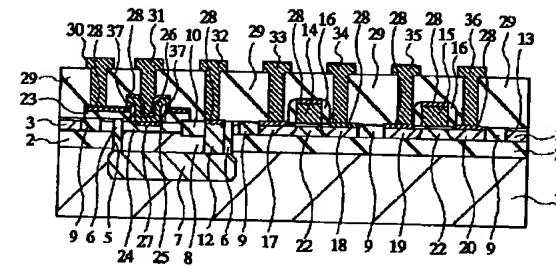
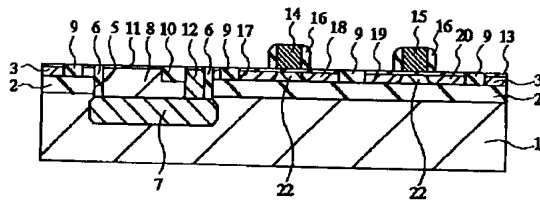
【図5】

【図6】

図 5

図 6





フロントページの続き

Fターム(参考) 5F048 AA00 AC05 BA05 BA16 BB06
BB07 BB11 BG07 CA03 CA04
CA07 DA25
5F082 AA40 BA02 BA03 BA10 BA16
BC01 BC09 CA08 DA01 EA04
EA24 EA27 EA45 GA03
5F110 AA18 CC02 DD05 DD13 EE09
EE22 EE32 FF02 FF23 GG02
GG24 HJ13

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 2] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 3] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 4] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 5] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 6] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 7] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 8] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 1 of operation in order of the process.
- [Drawing 9] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 2 of operation in order of the process.
- [Drawing 10] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 2 of operation in order of the process.
- [Drawing 11] It is the cross section having shown an example of the manufacture method of the semiconductor device of the gestalt 2 of operation in order of the process.
- [Drawing 12] It is the cross section having shown the semiconductor device of the gestalt 3 of operation.
- [Drawing 13] It is the cross section having shown the semiconductor device of the gestalt 4 of operation.
- [Drawing 14] It is the cross section having shown the semiconductor device of the gestalt 5 of operation.

[Description of Notations]

- 1 Support Substrate
- 2 Embedding Oxide Film
- 3 Silicon Layer
- 4 Insulator Layer
- 5 Opening
- 6 Sidewall
- 7 Semiconductor Region
- 8 Single-Crystal-Silicon Film
- 8a Facet
- 9 Isolation Region
- 10 Isolation Region
- 11 Silicon Oxide
- 12 Diffusion Layer for Collector Connection
- 13 Gate Insulator Layer
- 14 Gate Electrode
- 15 Gate Electrode
- 16 Sidewall
- 17 Source Diffusion Layer
- 18 Drain Diffusion Layer
- 19 Source Diffusion Layer
- 20 Drain Diffusion Layer

- 21 Channel Field
- 22 Channel Field
- 23 Polycrystal Silicon Film
- 24 Base-Diffusion Layer
- 25 Sidewall Spacer
- 26 Polycrystal Silicon Film
- 28 Titanium Silicide Film
- 29 Insulator Layer
- 30-36 Electrode
- 37 Silicon Oxide
- 46 Auxiliary Collector Layer
- 47 Silicon Layer
- 48 Electrode
- 49 Silicon Layer
- 50 Diffusion Layer
- 51 Electrode
- 52 Slot
- 53 Channel Stop Layer
- 54 Isolation Region

[Translation done.]